

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08101258 A**

(43) Date of publication of application: 16.04.96

(51) Int. Cl.

G01R 31/3183
G06F 17/50

(21) Application number: **06235211**

(22) Date of filing: **29.09.94**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **NAKAO NORINOBU**
MIYAZAKI MASAHIRO
DATE HIROSHI
HIKONE KAZUFUMI

(54) **METHOD AND DEVICE FOR GENERATING TEST PATTERN**

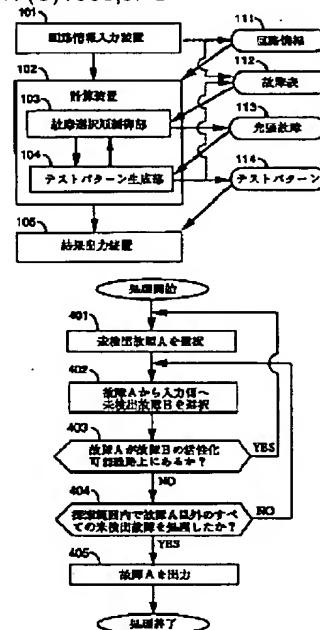
(57) Abstract:

PURPOSE: To reduce the generation of an unneeded test pattern and to reduce the generation processing time of a test pattern for logic circuit by defining the dependency between failures according to the inclusion relationship of a test set for detecting each failure and controlling the selection order of a target failure considering the failure dependency relationship.

CONSTITUTION: A failure selection order control part 103 where the main part of a test pattern generation device is constituted of a calculation device 102 and a start failure 113 is outputted by circuit information 111 and a failure table 112 and a test pattern generation part 104 for generating a test pattern 114 with the selected failure as a target and writing it at the failure table 112 are provided. The control part 103 selects a non-detected failure A as a candidate of target failure and retrieves the signal line of the input side of the failure A as a failure B. When the failure A exists on an activatable path of the failure B (not the head failure), another non-detection failure is selected. On the other hand, when there is no failure A

on the activatable path of the failure B, the failure A is selected as a target failure and is outputted to the test pattern generation part 104.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-101258

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.⁶

G 0 1 R 31/3183

G 0 6 F 17/50

識別記号

庁内整理番号

F I

技術表示箇所

9191-5H

G 0 1 R 31/ 28

G 0 6 F 15/ 60

Q

6 7 0

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21) 出願番号

特願平6-235211

(22) 出願日

平成6年(1994)9月29日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中尾 教伸

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 宮崎 政英

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 伊達 博

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 秋本 正実

最終頁に続く

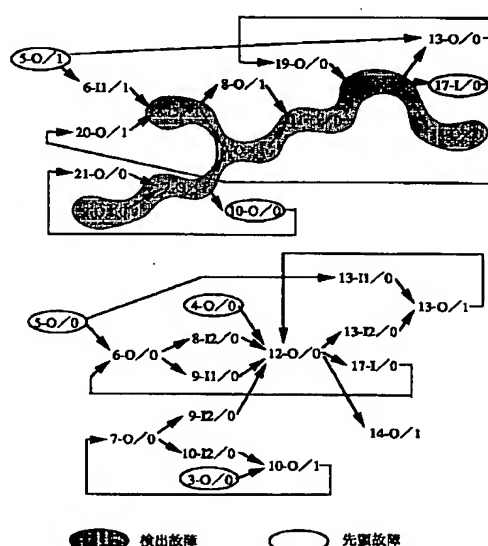
(54) 【発明の名称】 テストパターン生成方法及びその装置

(57) 【要約】

【目的】 L S I 等の論理回路のテストパターン生成の処理時間を短縮し、パターン数を削減する。

【構成】 論理素子の機能と接続情報を記述した回路情報と、故障の位置と検出情報を管理する故障表と、各故障を検出するテスト集合の包含関係から故障間の依存関係を定義した故障依存関係を用い、先頭故障、即ち、未検出故障であって他の未検出故障による故障信号が出力端子まで到達する可能性のある伝搬経路上にない故障を選択し、選択した当該先頭故障を対象としてテストパターン（系列）を生成する。

【図12】



【特許請求の範囲】

【請求項1】 論理回路の故障を検出するためのテストパターンを生成するテストパターン生成装置において、論理素子の機能と接続情報を記述した回路情報を入力する回路情報入力装置と、各故障を検出するテスト集合の包含関係から故障間の依存関係を定義した故障依存関係を用いて故障の位置と検出情報を管理する故障表から先頭故障を選択する故障選択順制御部及び選択した当該先頭故障を対象としてテストパターン（系列）を生成するテストパターン生成部を持つ計算装置と、該計算装置により得られたテストパターンを出力する出力装置とを備えることを特徴とするテストパターン生成装置。

【請求項2】 請求項1において、故障選択順制御部は、前記故障表に含まれる故障の集合に対し「故障を頂点」「依存関係のある故障間を有向辺」で表現した故障依存関係グラフを作成し前記故障表と当該故障依存関係グラフから先頭故障を選択する手段を備えることを特徴とするテストパターン生成装置。

【請求項3】 請求項1または請求項2において、前記故障表に含まれる故障の集合に対し故障依存関係と故障表から故障依存関係を損なわないように故障をグループ化しグループ化によって作成された故障グループ間の選択順序と故障グループ内での故障選択順序を決定する手段を備えることを特徴とするテストパターン生成装置。

【請求項4】 請求項1乃至請求項3のいずれかにおいて、前記テストパターン生成部は、あるパターン系列から対象故障を検出できるようにその系列を変更していくようなテスト生成手法を用いるときに故障選択順制御部で選択されたテストパターン生成を試みる対象故障に対し当該対象故障より入力側で前記故障依存関係のある検出済み故障を検出したテストパターン系列を初期パターンとする手段を備えることを特徴とするテストパターン生成装置。

【請求項5】 論理回路の故障を検出するためのテストパターンを生成するテストパターン生成方法において、論理素子の機能と接続情報を記述した回路情報、及び、故障の位置と検出情報を管理する故障表を計算機システムに入力し、各故障を検出するテスト集合の包含関係から故障間の依存関係を定義した故障依存関係を用いて、当該故障表から先頭故障を求めることを特徴とするテストパターン生成方法。

【請求項6】 論理回路の故障を検出するためのテストパターンを請求項1乃至請求項4のいずれにか記載のテストパターン生成装置に生成させるテストパターン生成方法において、テストパターン生成装置上に並列動作可能な複数のプロセス及びそれらを管理するプロセスを生成する第1のステップと、前記故障選択順制御部によって選択した複数の異なる先頭故障を前記複数のプロセスに夫々割り当てる第2のステップと、前記複数のプロセスの夫々が割り当てられた故障に関してテストパターン

を生成を試みその結果を前記管理するプロセスに転送する第3のステップを有し、必要に応じて第2，第3のステップを繰り返すことを特徴とするテストパターン生成方法。

【請求項7】 請求項3または4記載のテストパターン生成装置を用いて論理回路のテストパターンを生成する方法において、前記計算装置上に並列動作可能な複数のプロセス及びそれらを管理するプロセスを生成する第1のステップと、前記故障集合分割及び故障選択順制御手段によって得られた複数の故障グループを、前記複数のプロセスに夫々割り当てる第2のステップと、前記複数のプロセスの夫々が、割り当てられた故障グループを故障グループ間の選択順序及び故障グループ内での故障選択順序に従ってテストパターンを生成を試みその結果を前記管理するプロセスに転送する第3のステップを有し、必要に応じて第2，第3のステップを繰り返すことを特徴とするテストパターン生成方法。

【請求項8】 論理回路の故障を検出するためのテストパターン生成を複数のプロセスを用いて並列に処理するテストパターン生成方法において、論理素子の機能と接続情報を記述した回路情報及び故障の位置と検出情報を管理する故障表を計算機システムに入力し、各故障を検出するテスト集合の包含関係から故障間の依存関係を定義した故障依存関係を用いて当該故障表から複数の先頭故障を選択し前記複数のプロセスに割り当てることを特徴とするテストパターン生成方法。

【請求項9】 論理回路の故障を検出するためのテストパターン生成を複数のプロセスを用いて計算機システムに並列に処理させるテストパターン生成方法において、論理素子の機能と接続情報を記述した回路情報及び故障の位置と検出情報を管理する故障表を入力し、各故障を検出するテスト集合の包含関係から故障間の依存関係を定義した故障依存関係を用いて、前記故障表に含まれる故障の集合に対し、故障依存関係と故障表から故障依存関係を損なわないように故障をグループ化し、グループ化によって作成された故障グループ間の選択順序と故障グループ内での故障選択順序を決定し、当該故障グループを前記複数のプロセスに割り当てることを特徴とするテストパターン生成方法。

【請求項10】 論理回路の故障を検出するためのテストパターンを生成するテストパターン生成装置において、論理素子の機能と接続情報を記述した回路情報を入力する回路情報入力装置と、テストパターン（系列）を生成するテストパターン生成部を持つ計算装置と、前記回路情報を図示した論理回路図に前記計算装置により得られたテストパターンによって検出された故障を差別化して表示する表示装置とを備えることを特徴とするテストパターン生成装置。

【請求項11】 請求項10において、表示装置に表示する論理回路図の表示形態として、1つのゲートが、そ

10

20

30

40

50

のゲートの出力端子の個数に分割された出力部と、そのゲートの入力端子の個数に分割された入力部から構成され、分割された1つ1つの領域を1つの故障あるいはその領域に対応する複数の故障に関する情報を表示する領域として利用することを特徴とするテストパターン生成装置。

【請求項12】 請求項6、7のいずれかにおいて、回路情報を図示した論理回路図に、計算装置により得られたテストパターンによって検出された故障を差別化して表示することを特徴とするテストパターン生成方法。

【請求項13】 請求項1、4のいずれかにおいて、回路情報を図示した論理回路図に、計算装置により得られたテストパターンによって検出された故障及び先頭故障を差別化して表示する表示装置を備えることを特徴とするテストパターン生成装置。

【請求項14】 請求項13において、表示装置に表示された複数の先頭故障の中から1つの故障を選択させる手段を備えることを特徴とするテストパターン生成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はLSI等の論理回路に故障が有るか否かを検出するテストパターンを生成する方法及びその装置に係り、特に、テストパターンの生成処理を複数のプロセッサに並列処理させるのに好適なテストパターン生成方法及びその装置に関する。

【0002】

【従来の技術】論理回路のテストパターン生成は、未検出の故障の中から対象とする故障を1つ選択し、その故障を検出するパターン生成を行ない、故障シミュレーションによって、生成されたテストパターン（系列）が検出する故障を全て求めるという処理を繰り返すのが一般的である。

【0003】従来、対象故障の選択方法に関しては、未検出故障の中から無作為に選択するか、入力側または出力側の故障から選択する方法が取ることが多い。また、テストパターン生成の容易性を考慮に入れて故障を選択する従来技術として、特開平4-324380号公報記載の「故障選択順序制御装置」がある。これは、信号線の可観測性を利用し、現在の回路状態で故障信号が伝搬している距離が最も長い故障を選択し、1つの故障に対するテストパターン生成の処理量を削減している。

【0004】複数のプロセスを用いて並列にテストパターンを生成する方法の中で、故障集合を分割して各プロセスに割り当てる並列化手法（故障並列）では、故障を各プロセッサに割り当てる方法に関する戦略は特になく、未検出故障を無作為に割り当てるのが一般的である。ここで、論理回路における単一縮退故障の被覆関係の概念について説明する。故障 f 、 g を検出するテストパターンの集合を、夫々 $T(f)$ 、 $T(g)$ とすると、

$T(g)$ が $T(f)$ の部分集合ならば、故障 f は故障 g を被覆するという。以下では、故障 g を、被覆関係における故障 f の部分故障と呼ぶことにする。

【0005】図2のようなANDゲート201を用い、故障の被覆関係を説明する。このANDゲート201の入力信号線はA、B、C、出力信号線はDである。信号線A、B、C、Dの夫々の信号状態が“1”に固定されてしまう故障つまり1縮退故障を、夫々、 $A/1$ 、 $B/1$ 、 $C/1$ 、 $D/1$ で表す。入力信号線Aの1縮退故障を検出するテストパターンの集合 $T(A/1)$ は、 $T(A/1) = \{(0, 1, 1)\}$ となる。つまり、入力信号線(A、B、C)に(0, 1, 1)なる信号をいれてみれば、入力信号線Aに1縮退故障が発生していることが分かる。同様に $T(B/1) = \{(1, 0, 1)\}$ 、 $T(C/1) = \{(1, 1, 0)\}$ である。 $T(D/1) = \{(0, 1, 1), (1, 0, 1), (1, 1, 0), (0, 0, 1), (0, 1, 0), (1, 0, 0), (0, 0, 0)\}$ である。

【0006】従って、 $D/1$ は、 $A/1$ 、 $B/1$ 、 $C/1$ を被覆する。この場合、故障 $D/1$ の部分故障 $A/1$ 、 $B/1$ 、 $C/1$ のいずれかを検出するテストパターンが生成可能であれば、故障 $D/1$ を検出するテストパターンを生成する必要はない。

【0007】また、信号線A、B、C、Dの0縮退故障を $A/0$ 、 $B/0$ 、 $C/0$ 、 $D/0$ とすると、 $T(A/0) = T(B/0) = T(C/0) = T(D/0) = \{(1, 1, 1)\}$ である。これら4つの故障は等価故障と呼ばれ、4つの故障から代表故障と呼ばれる故障を1つ選択してテストパターン生成を行なえばよい。

【0008】一般に、テストパターン生成処理を行う前には、この等価故障解析を行なって代表故障のみからなる故障集合を作成している。しかし、被覆関係を利用してテストパターン生成の対象故障の選択順序制御する具体的な方法はない。

【0009】

【発明が解決しようとする課題】対象故障を従来のように無作為に選択すると、未検出な部分故障を持つ故障を選択する場合がある。この対象故障に対して生成されたテストパターンは、当該部分故障のいずれも検出しない可能性がある。当該部分故障に対してテストパターン生成可能であるならば、最初に選択した故障に対するテストパターン生成処理は不必要である。これは、テストパターンの系列長を長くし、処理時間の増加につながる。

【0010】このことを前記図2を用いて説明する。故障 $A/1$ 、 $B/1$ 、 $C/1$ が未検出な段階で対象故障として $D/1$ を選択すると、そのテストパターンとして、 $T(D/1) - T(A/1) - T(B/1) - T(C/1)$ の要素を生成する可能性がある。しかし、テストパターンとして、 $T(A/1)$ 、 $T(B/1)$ 、 $T(C/1)$ 夫々の要素を生成すれば、 $D/1$ に対するテストパ

10

20

30

40

50

ターン生成処理は不必要である。

【0011】また、複数のプロセスで異なる故障に対するテストパターン（系列）を生成する並列テストパターン生成の場合、あるプロセスの生成したパターンによって、他のプロセスの処理した故障も検出されることがある。これはテストパターン数の増加、及び処理時間の増加につながる。

【0012】本発明の目的は、故障依存関係を考慮して対象故障の選択順を制御することにより、テストパターン生成の不必要な処理を削減することのできるテストパターン生成方法及びその装置を提供することにある。

【0013】

【課題を解決するための手段】前記目的は、論理素子の機能と接続情報を記述した回路情報及び故障の位置と検出情報を管理する故障表を入力する回路情報入力装置と、各故障を検出するテスト集合の包含関係から故障間の依存関係を定義した故障依存関係を用いて、前記故障表から先頭故障を選択する故障選択順制御部及び選択した当該先頭故障を対象としてテストパターン（系列）を生成するテストパターン生成部を持つ計算装置と、前記計算装置により得られたテストパターンを出力する結果出力装置とを設けることで、達成される。

【0014】

【作用】テストパターン生成において、未検出の故障の中から対象とする故障を1つ選択し、その故障を検出するテストパターン生成を行ない、故障シミュレーションによって、そのパターン（系列）が検出する故障を求めるといった処理を繰り返し、故障表の全ての故障に対するテストパターン生成を試みるという方法を用いる場合を考える。

【0015】尚、ある故障による故障信号が出力端子まで到達する可能性のある伝搬経路を活性化可能経路と呼び、また、未検出故障であり他の未検出故障の活性化可能経路上にない故障を先頭故障と呼ぶことにする。ただし、記憶素子を持つ順序回路の場合は、出力端子へ伝搬するタイムフレーム数を制限するなどして、その条件を緩めるものとする。

【0016】故障選択順制御部では、故障表より未検出な故障を選択し、その故障の後方（入力側）へ他の未検出故障が活性化可能経路上にないか探索を行ない、先頭故障か否かを調べる。先頭故障であると判定されれば、当該先頭故障を対象故障として選択することができる。この処理を、先頭故障が選択されるまで繰り返す。

【0017】この選択した先頭故障を対象としてテストパターン（系列）を生成し、故障シミュレーションを行なう。正常時と故障時で論理値の異なる信号線を故障信号と呼ぶと、生成されたテストパターンは、対象故障の故障信号を、少なくとも1つの出力端子まで伝搬させる経路があるため、故障信号の伝搬経路上にある故障も同時に検出する。

【0018】テストパターン生成・故障シミュレーションによって故障表を更新した後、故障選択順制御部に戻り、再度先頭故障を選択する。以上の処理を所定のテストパターン生成終了条件を満たすまで、繰り返す。

【0019】また、並列テストパターン生成の場合は、異なるプロセスに対して異なる先頭故障を割り当てれば、被覆関係のない独立な故障を割り当てることができる。

【0020】このように、本発明によれば、従来に比べて不必要なテスト生成処理を削減でき、テストパターン数の削減、処理時間の短縮が図れる。

【0021】

【実施例】以下、本発明の一実施例を図面を参照して説明する。図1は、本発明の一実施例に係るテストパターン生成装置の構成図である。本実施例に係るテストパターン生成装置は計算機システムで構成され、回路情報111及び故障表112を入力する回路情報入力装置101と、計算装置102と、テストパターン114及び処理結果を出力する結果出力装置105を備える。

【0022】計算装置102は、回路情報111及び故障表112を用いて先頭故障113を出力する故障選択順制御部103と、選択した故障を対象としてテストパターン114を生成しその結果検出した故障を故障表112に書き込むテストパターン生成部104とを備える。

【0023】故障依存関係の定義に関して、各素子の入出力信号線上の故障における被覆関係は、前記従来例におけるANDゲートと同様に定義できる。回路中に分岐が生じている場合は、前記被覆関係を拡張する必要がある。その一例を、図3を用いて説明する。

【0024】分岐点Xに関し、分岐元の信号線Eの0縮退故障E/0と、分岐先の信号線F、Gの各0縮退故障F/0、G/0を考える。E/0を検出するテストパターンは、 $F \rightarrow H$ または $G \rightarrow I$ またはその両方へ故障信号を伝搬しているため、F/0またはH/0またはその両方の故障を検出する。実際、 $T(E/0) = \{(1, 1, 1, 1), (1, 1, 1, 0), (0, 1, 1, 1)\}$ 、 $T(F/0) = \{(1, 1, 1, 1), (1, 1, 1, 0)\}$ 、 $T(G/0) = \{(1, 1, 1, 1), (0, 1, 1, 1)\}$ なので、 $T(E/0)$ は $T(F/0)$ と $T(G/0)$ の和集合に包含される。

【0025】一般に、分岐元の故障のテストパターン集合は、分岐先のいくつかの故障が存在してその和集合に包含される。以上の事実から、分岐元の故障の活性化可能経路上にある分岐先の故障を、分岐元の故障の従属故障と定義し、分岐における前記の関係を故障間の従属関係と呼ぶことにすると、被覆関係と従属関係を調べることにより、前記先頭故障の判定が可能となる。以下では、故障間の被覆関係に従属関係を加えて、故障依存関係と呼ぶことにする。

【0026】図4は、本実施例に係る故障選択順制御部103における処理手順の一例を示すフローチャートである。故障選択順制御部103は、まず、ステップ401で、故障表から対象故障の候補として未検出な故障を選択し、それを故障Aとする。ステップ402で、故障Aの入力側の信号線を探索することにより未検出故障を選択し、それを故障Bとする。ステップ403で、この故障Bの活性化可能経路上に故障Aがあるかどうかを判定する。従属故障の場合はステップ401に戻り、別の未検出故障を選択する。故障Aが故障Bの活性化可能経路上にない場合は、ステップ404で、予め指定されている探索範囲内でA以外のすべての未検出故障について処理したか否かを判定し、それらの故障に対する処理が完了するまでステップ402に戻る。ステップ404で、前記探索範囲内にあるすべての未検出故障の活性化可能経路上にないと判定した場合には、故障Aを対象故障として出力し、故障選択順制御部の処理は終了する。

【0027】以上のように、本実施例によれば、故障信号の活性化可能経路を探索し、同時に検出可能な故障を考慮に入れてテストパターン生成の対象故障を選択できるので、従来に比べてテストパターン（系列）数の削減、テストパターン生成処理時間の短縮という効果がある。

【0028】なお、ここで用いた「検出故障」という語句はテストパターン（系列）が生成された故障を意味するが、CPUの打ち切り時間制限などによってテストパターン生成に失敗した故障も含めて解釈してもよい。

【0029】また、望ましくは、ステップ401での未検出故障Aの選択方法として、外部入力からの深さが最も浅い素子上にあるものを選択するのがよい。

【0030】ステップ403の故障Bの活性化可能経路は、順序回路の場合、例えば故障Bの故障信号を最小タイムフレーム数で活性化可能な経路のように、制限した方がよい。

【0031】ステップ404の探索範囲は、いくつかのヴァリエーションが考えられるが、一般に故障Aの生じる信号線への経路が存在するすべての信号線上の故障とすればよい。但し、順序回路の場合は特定のタイムフレーム数、例えば、各素子から外部出力端子までの最短経路に必要なタイムフレーム数の最大値としてもよい。また、処理の簡略化のため、探索範囲を故障Aが被覆する故障の範囲にすることも可能である。

【0032】次に、故障選択順制御部103における処理の一例として、故障依存関係グラフの作成方法を説明する。

【0033】まず、各故障を1つの頂点で表し、検出済みか否かを示すフラグを付随させる。故障Aが故障Bに被覆されるときは、始点が故障A、終点が故障Bである有向辺で表す。故障Aと故障Bが等価の場合は、故障Aが故障Bに被覆され、故障Bが故障Aに被覆されると考

える。前記従属関係の場合は、始点が分岐元の故障、終点が分岐先の従属故障である有向辺で表す。以上のようにして、ラベル付き有向グラフを作成できる。

【0034】場合によっては、故障依存関係グラフの各辺に、被覆関係と従属関係の区別、また、可観測性などの情報を付随させたラベル付き有向グラフを作成してもよい。

【0035】図5は、故障依存関係グラフの作成例を示す論理回路図である。なお、故障集合は等価解析後の代表故障の集合とする。

【0036】端子1, 2, 3, 4は外部入力端子、素子5, 14はNOTゲート、素子8, 9はANDゲート、素子6はORゲート、素子7, 10, 12, 13はNANDゲート、素子11はNORゲート、端子15は外部出力端子、素子16, 17, 18は記憶素子Dフリップフロップ、19, 20, 21はバッファ素子である。

【0037】ここで、素子番号Gの出力信号線をG-O、入力信号線をG-I、入力信号線が2個以上ある場合はG-I1, G-I2, ……で表し、信号線上の0縮退故障、1縮退故障は、信号線名の後に、「/0」, 「/1」を加えることにする。以上の表記方法の元で、前記故障依存関係グラフ作成方法に従えば、図6を作成できる。例えば、故障6-O/1を考えると、故障6-I1/1, 20-O/1を被覆しているので、頂点6-O/1から頂点6-I1/1, 20-O/1への辺を引く。8-O/1, 9-O/1は、6-O/1の分岐先従属故障なので、6-O/1から8-O/1, 9-O/1への辺を引く。

【0038】故障依存関係グラフでは、先頭故障は検出フラグの立っていない頂点からの道が存在しない頂点である。即ち、先頭故障へは入ってくる辺がないか、または入ってくる辺がある場合でも、先頭故障へ到達する道がある頂点にはすべて検出フラグが立っている。

【0039】なお、順序回路の場合は前述のように、先頭故障へ到達する道がある頂点の探索範囲を、その故障の故障信号を最小タイムフレーム数で到達可能な道のように、制限した方がよい。

【0040】また、前記故障依存関係グラフを作成する前に、テストパターンを生成できない故障である冗長故障を指摘しておくことが望ましい。冗長故障が指摘されている場合は、冗長故障に対応する頂点と、その頂点に入るまたは出る辺を、故障依存関係グラフから除去する。それにより、活性化可能経路数を削減でき、質の良い故障選択順制御が可能となる。

【0041】ここで、図5の回路における計算装置102の処理、即ち故障選択順制御部103とテストパターン生成部104の処理について、図6を用いて説明する。

【0042】テストパターン生成開始時における先頭故障、即ち、故障選択順制御部によって対象故障として選

10

20

30

40

50

択可能な故障は、5-O/1, 2-O/0, 5-O/0, 4-O/0, 3-O/0である。例えば、故障2-O/0を対象故障としてテストパターン生成の処理を行い、外部入力素子1, 2, 3, 4のパターン系列として、

(0, 1, 1, 1), (1, 1, 0, 1)を生成したとする。このパターン系列に対し、故障シミュレーションの処理を行うと、図12のハッチングした故障2-O/0, 7-O/1, 6-O/1, 9-O/1, 11-O/0, 12-O/1, 14-O/0も同時に検出することがわかる。この結果、新たに先頭故障となるのは、10-O/0, 17-I/0である。8-O/1は17-I/0の活性化可能経路上にあるため、先頭故障とはなりえない。従って、次回の対象故障は、5-O/1, 5-O/0, 4-O/0, 3-O/0, 10-O/0, 17-I/0から選択する。以降、以上のような処理を繰り返す。

【0043】尚、故障シミュレーションを行う度に先頭故障を求めずに、既に分かっている全ての先頭故障についてテストパターン生成処理を行った後に、次の対象故障を選択するために先頭故障を求めてよい。

【0044】このように、本実施例によれば、故障依存関係グラフを用いて活性化可能経路の探索を効率化できるため、故障選択順制御部103における処理時間を短縮できる。

【0045】次に、この故障依存関係グラフを用いて、故障をグループ化する処理手順の一例を図7で説明する。

【0046】まず、ステップ701で、故障を入力側からの深さでソートする。ステップ702では、ステップ701でソートされた順番に従って故障を1つ選択する。ステップ703では、選択した故障が故障依存関係グラフ上で出力辺が1つかどうか判定する。出力辺が1つの場合、ステップ704において、ステップ702で選択した故障のグループと、その出力先故障のグループとを、1つのグループにする。出力辺がないか、2つ以上の場合、ステップ702で選択した故障のグループを確定する。

【0047】ステップ704, 705どちらの場合も、ステップ706で、全ての故障のグループ化が完了しているか判定し、未処理の故障が存在しなくなるまでステップ702に戻る。ステップ706で故障のグループ化が完了したと判定されれば、ステップ707に進み、グループ間の依存関係と、各グループ内での依存関係を決定する。各グループ内での関係は、故障グループ化を行なう前の被覆関係とする。グループ間での依存関係はあるグループの最後尾の故障から、もう一方のグループの先頭故障への辺が、故障依存関係グラフに存在する場合に限り、辺を引く。

【0048】ここで、図6に示した故障依存関係グラフに対し、上記の処理手順のより故障のグループ化した例を図8に示す。

【0049】グループ化した故障依存関係グラフ図8を用いた場合の計算装置102での動作は、次のようになる。まず、入る辺を持たない故障グループを選択し、その先頭故障を対象としたテストパターン生成を行なう。次に、作成されたテストパターンによって検出された故障を故障依存グラフから除去する。このとき、グループに属する故障がなくなった場合には、そのグループと関連する辺を除去する。この処理を未検出故障がなくなるまで続ける。

10 【0050】このグループ化した故障依存関係グラフを用いることにより、簡易的な故障依存関係を効率良く把握できるため、さらに故障選択順制御部における処理時間を短縮できるという効果がある。

【0051】次に、あるパターン系列から対象故障を検出できるようにその系列を変更していくようなテスト生成手法を用いる場合、故障依存関係を利用するテストパターン生成装置の一例を説明する。

20 【0052】あるパターン系列から対象故障を検出できるようにその系列を変更していくようなテスト生成手法としては、例えば特願平3-223130号公報記載の「テストパターン系列作成方法」がある。この手法を、テストパターン生成部104に用いる場合の故障選択順制御部103における動作を説明する。

【0053】故障選択順制御部103において、まず、前記故障依存関係と故障表より先頭故障を選択する。このとき、既に検出された故障のなかで、選択した故障に被覆される故障、または選択した故障を従属故障とする故障が存在する場合、検出したときのテストパターン(系列)をテストパターン生成部に渡し、テストパターンの初期値とする。例えば、図6において、故障5-O/1を対象故障としてテストパターン生成を行ない、5-O/1, 6-I1/1, 6-O/1, 9-O/1, 11-O/0, 12-O/1, 14-O/0という活性化経路で故障を検出し、活性化経路上の故障も同時に検出されたとする。

30 【0054】次に、先頭故障13-O/0を選択した場合、故障13-O/0を従属故障とする故障5-O/1を検出したテストパターン(系列)を初期パターンとする。そして、対象故障13-O/0を検出できるように初期パターンを変更していく。このとき、対象故障の直前まで所望の信号線値が伝搬している可能性が高く、対象故障の故障信号を発生することが容易になる。従って、テストパターン生成の処理を削減することができる。以降、以上のような処理を繰り返す。

【0055】本実施例によれば、テストパターン生成の処理を効率化できるため、1つの対象故障に対するテストパターン生成の処理時間を更に短縮できるという効果がある。

50 【0056】最後に、複数のプロセスを用いたテストパターン生成装置の実施例について説明する。

【0057】図9に、本実施例に係るテストパターン装置の構成を示す。図示するように、本実施例に係るテストパターン装置は、複数のワークステーション901、902、903と、これらをつないだイーサネット等904のネットワークから構成される計算機システムである。各ワークステーション901は、図10に示す計算装置102の他、図示は省略しているが、図1に示す回路情報入力装置101と、結果出力装置105とが付随している。本実施例では、各ワークステーションに並列動作可能なプロセスを動作させ、ワークステーション901上にこれらのプロセスを管理するプロセスを動作させる。もちろん、ワークステーション上で複数のプロセスを動作させてもよい。なお、本実施例に係るテストパターン生成装置の構成は、図9に示した構成の他、複数のプロセスを並列に実行できる環境を提供できる他の構成としてもよい。

【0058】図10の計算装置102の処理を説明する。まず、第1のステップとして、計算装置102上に、並列動作可能な複数のプロセス及びそれらを管理するプロセスを生成する。この他のプロセスを管理するプロセスをマスタープロセス、他のプロセスをスレーブプロセスと呼ぶことにする。マスタープロセスは、故障選択制御部103を担当し、スレーブプロセスがテストパターン生成部1001、…、1002を担当する。

【0059】第2のステップで、マスタープロセスは、故障表と故障依存関係から先頭故障を選択する。この故障をテストパターン生成部1001を担当しているスレーブプロセスに転送する。さらにマスタープロセスは新たな先頭故障を選択し、その故障を別のテストパターン生成部を担当しているスレーブプロセスに転送する。すべてのスレーブプロセスに故障を転送するまでこの処理を続ける。

【0060】第3のステップでは、各スレーブプロセスが割り当てられた故障に対して、テストパターンを生成し、故障シミュレーションを行ない、その結果をマスタープロセスに転送する。

【0061】第2、第3のステップは、予め指定したテストパターン生成終了条件を満たすまで、繰り返す。

【0062】本実施例によれば、マスタープロセスが同時に検出する可能性の少ない故障を異なるスレーブプロセスに転送するので、異なるスレーブプロセスによる同じ故障に対するテストパターン生成の重複の可能性を減らし、並列処理におけるオーバーヘッドを削減することができるという効果がある。

【0063】なお、マスタープロセスがスレーブプロセスに転送する故障の個数は複数でも構わない。また、前記グループ化した故障依存関係グラフにおける故障グループでも構わない。

【0064】図11は、故障選択順の制御を行うテストパターン生成全体の処理手順の一例を示すフローチャー

トである。

【0065】前記回路情報を入力した後、ステップ1101で前記故障依存関係を解析し、記憶する。ステップ1102で、故障依存関係を利用して先頭故障の集合を求め、その中からテストパターン生成の対象とする故障を1つ選択する。ステップ1103で選択した故障に対するテストパターン生成処理を行う。ステップ1104で、生成されたテストパターン（系列）に対し、検出する故障をすべて指摘する処理である故障シミュレーションを行う。ステップ1105で、その結果を利用して、故障依存関係を更新する。ステップ1106で、未検出故障として残っている故障があるか否かを判定し、なければ処理を終了する。残存故障がある場合は、ステップ1102に戻り、以下、ステップ1102からステップ1106の処理を繰り返す。

【0066】上記テストパターン生成や故障シミュレーションの手法については、工学図書株式会社「コンピュータの設計とテスト」（藤原秀雄著）に論じられている公知の技術を適用する。

【0067】尚、故障シミュレーションを行う度に故障依存関係を更新せず、既に分かっているすべての先頭故障についてテストパターン生成処理を行った後に、故障依存関係を更新し、次の対象故障を選択するために先頭故障を求めても良い。

【0068】図13に、故障検出状況を表す画面の一例を示す。図示する論理回路は、図5で示した順序回路である。各素子の出力部は、出力故障の0縮退及び1縮退と対応しており、素子の端子数に分割された入力部に対応する入力故障の0縮退及び1縮退に対応している。各素子のデザインは自由に設定してよいし、すべて同じでも構わない。また、ゲートの大きさ及びゲート間の長さは自由に設定してよいし、ゲートを結ぶ信号線は省略してもよい。

【0069】図13では、故障検出状況表示の例として、2-0/0、7-0/1、6-0/1、9-0/1、11-0/0、12-0/1、14-0/0が検出された場合の検出済み故障と先頭故障を示している。図13の様に、0縮退故障と1縮退故障を区別して表示するのが望ましい。

【0070】図14は、故障検出状況を表す画面の一例であり、0縮退故障と1縮退故障を異なるウィンドウで表示している。

【0071】尚、図13、図14において、複数のプロセッサを用いてテストパターン生成を実行する場合、異なるプロセッサにより検出された故障は区別して表示するのが望ましい。

【0072】本実施例によれば、故障の検出状況を容易に把握できるという効果がある。また、論理回路図上に、検出故障と共に先頭故障を表示差別化することで、人手による故障選択順制御が可能になるため、より系列

長の短いテストパターン系列を生成できるという効果がある。

【0073】

【発明の効果】本発明によれば、論理回路のテストパターン生成の処理時間を短縮し、テストパターン数を減少させることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例に係るテストパターン生成装置の処理を示すブロック図である。

【図2】従来技術に係る論理回路例を示す説明図である。

【図3】本発明の一実施例に係る論理回路例を示す説明図である。

【図4】本発明の一実施例に係る故障選択順制御部の処理手順を示すフローチャートである。

【図5】本発明の一実施例に係る論理回路例を示す説明図である。

【図6】本発明の一実施例に係る故障依存関係グラフを示す説明図である。

【図7】本発明の一実施例に係る故障選択順制御部の処理手順を示すフローチャートである。

【図8】本発明の一実施例に係るグループ化した故障依存関係グラフを示す説明図である。

【図9】本発明の一実施例に係るテストパターン生成装置の構成を示すブロック図である。

【図10】本発明の一実施例に係る計算装置の処理を示すブロック図である。

【図11】故障選択順の制御を行うテストパターン生成全体の処理手順の一例を示すフローチャートである。

【図12】図6で論理回路図上で故障シミュレーションをした結果を示す図である。

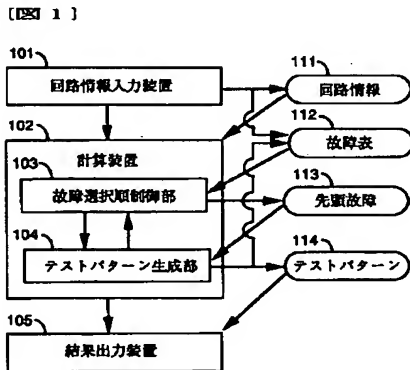
【図13】故障検出状況を表す画面の一例を示す図である。

【図14】故障検出状況を表す画面の他の例を示す図である。

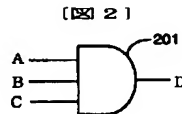
【符号の説明】

101…回路情報入力装置、102…計算装置、103…故障選択順制御部、104…テストパターン生成部、105…結果出力装置、111…回路情報、112…故障表、113…先頭故障、114…テストパターン（系列）。

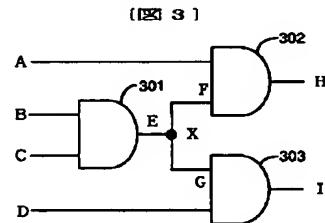
【図1】



【図2】

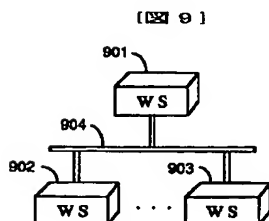


【図3】

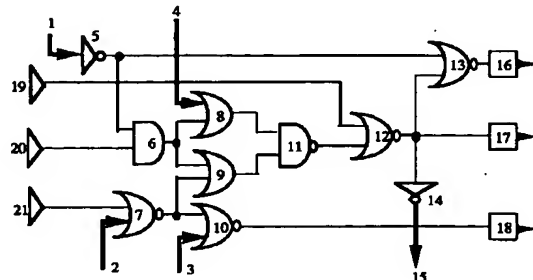


【図5】

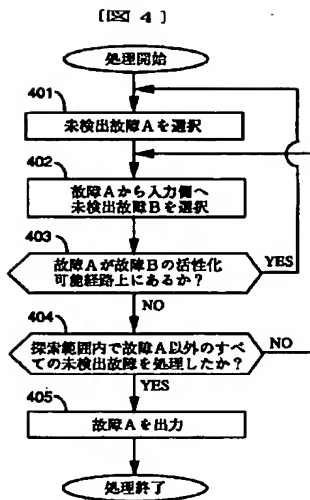
【図9】



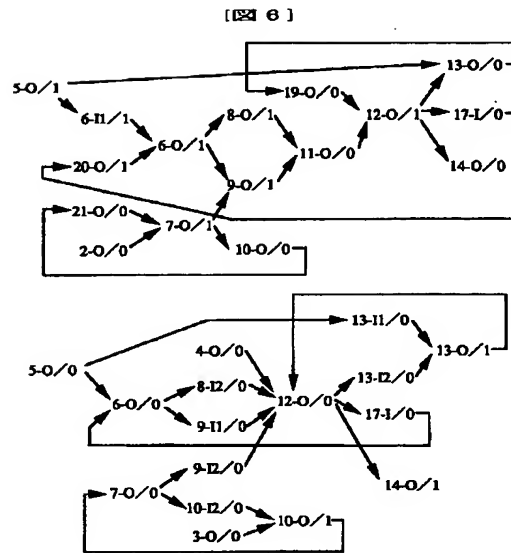
【図5】



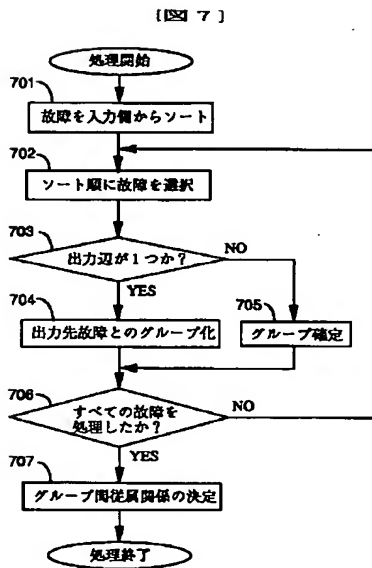
【図4】



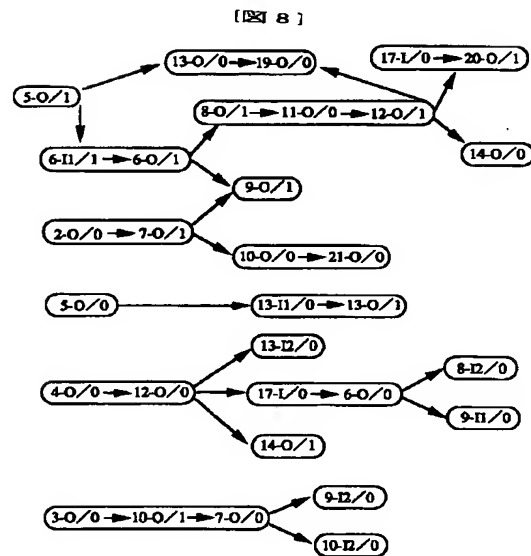
【図6】



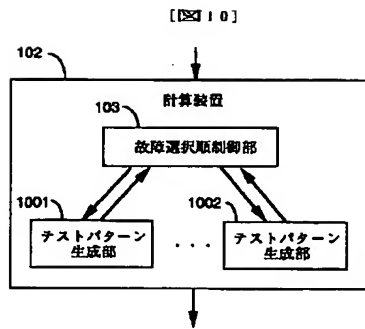
【図7】



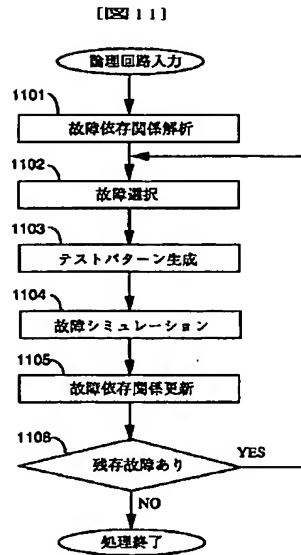
【図8】



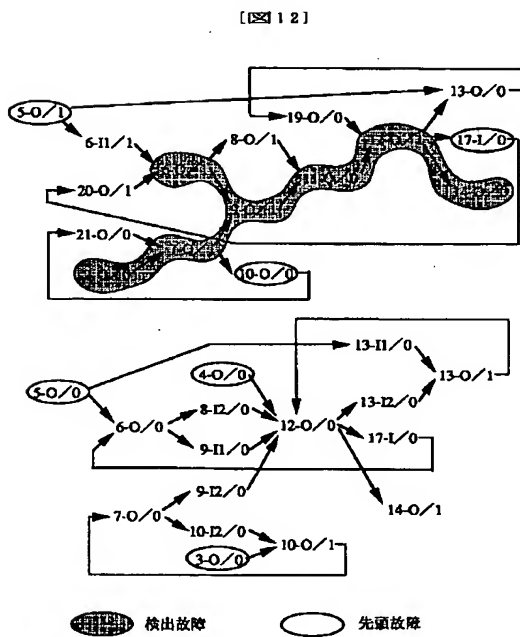
【図10】



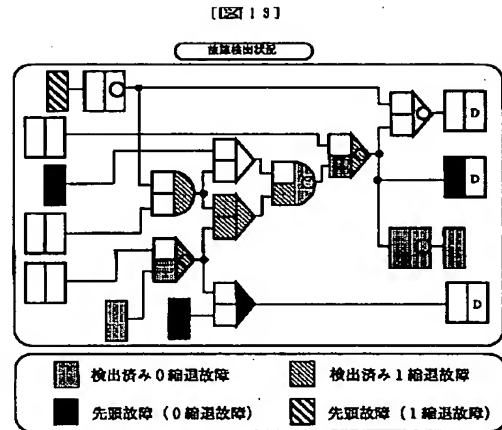
【図11】



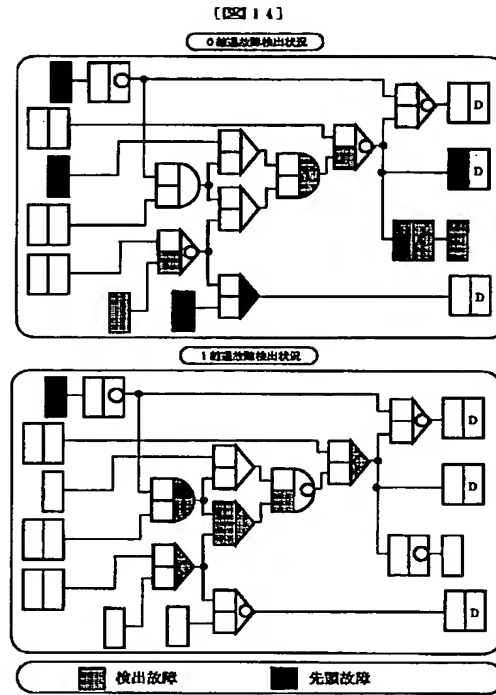
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 彦根 和文

茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内